

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: December 20, 1999

Application Number: Japanese Patent Application
No. 11-361558

Applicant(s): TEAC CORPORATION

September 8, 2000

Commissioner,
Patent Office

Kouzo Oikawa (Seal)

Certificate No.2000-3071379

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年12月20日

出 願 番 号

Application Number:

平成11年特許願第361558号

出 願 人

Applicant (s):

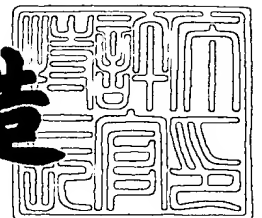
ティアック株式会社



2000年 9月 8日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3071379

【書類名】 特許願

【整理番号】 TEP990706A

【提出日】 平成11年12月20日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 H03D 1/00

【発明者】

 【住所又は居所】 東京都武蔵野市中町3丁目7番3号 ティアック株式会社
社内

 【氏名】 真下 著明

【発明者】

 【住所又は居所】 東京都武蔵野市中町3丁目7番3号 ティアック株式会社
社内

 【氏名】 上野 圭司

【特許出願人】

 【識別番号】 000003676

 【氏名又は名称】 ティアック株式会社

【代理人】

 【識別番号】 100070150

 【弁理士】

 【氏名又は名称】 伊東 忠彦

【手数料の表示】

 【予納台帳番号】 002989

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 信号処理回路及び信号処理方法

【特許請求の範囲】

【請求項 1】 入力パルス信号に応じたデジタル信号を生成する信号処理回路において、

前記入力パルス信号のうち少なくとも一つのパルスを含む所定の期間に、いずれか一方の極性でクロックパルスを出力するクロックパルス出力手段と、

前記クロックパルスをカウントするカウント手段と、

前記カウント手段のカウント値を基に出力デジタル信号を出力する出力手段とを有することを特徴とする信号処理回路。

【請求項 2】 前記クロックパルス出力手段は、

前記入力パルス信号が正極性のときにクロックパルスを出力する第一のクロックパルス出力手段と、

前記入力パルス信号が負極性のときにクロックパルスを出力する第二のクロックパルス出力手段とを有し、

前記カウント手段は、

前記第一のクロックパルス出力手段からのクロックパルスをカウントする第一のカウント手段と、

前記第二のクロックパルス出力手段からのクロックパルスをカウントする第二のカウント手段とを有することを特徴とする請求項 1 記載の信号処理回路。

【請求項 3】 前記第一のカウント手段は、

所定のカウント値で第一のタイミング信号を出力し、

前記第二のカウント手段は、

所定のカウント値で第二のタイミング信号を出力し、

前記出力手段は、

前記第二のタイミング信号で第一のカウント手段の第一のカウント値をラッチする第一のラッチ手段と、

前記第一のタイミング信号で第二のカウント手段の第二のカウント値をラッチする第二のラッチ手段とを有することを特徴とする請求項 2 記載の信号処理回路

【請求項 4】 前記出力手段は、
 前記第一のタイミング信号を遅延する第一の遅延手段と、
 前記第二のタイミング信号を遅延する第二の遅延手段とを有し、
 前記第一のカウント手段は第二の遅延手段の出力信号によってリセットされ、
 前記第二のカウント手段は第一の遅延手段の出力信号によってリセットされる
 ことを特徴とする請求項 1 乃至 3 いずれか一項記載の信号処理回路。

【請求項 5】 前記出力手段は、
 前記第一の遅延手段の出力信号でセットされ、
 前記第二の遅延手段の出力信号でリセットされるフリップフロップと、
 前記フリップフロップの出力に応じて前記第一のラッチ手段にラッチされた第
 一のカウント値と、
 前記フリップフロップの出力に応じて前記第二のラッチ手段にラッチされた第
 二のカウント値とを切り替える切り替え手段を有することを特徴とする請求項 1
 乃至 4 いずれか一項記載の信号処理回路。

【請求項 6】 前記出力手段は、
 デジタルローパスフィルタを含むことを特徴とする請求項 1 乃至 5 いずれか一
 項記載の信号処理回路。

【請求項 7】 入力パルス信号に応じたデジタル信号を生成する信号処理方
 法において、

前記入力パルス信号のうち少なくとも一つのパルスを含む所定の期間に、いず
 れか一方の極性でクロックパルスを出力するクロックパルス出力手順と、
 前記クロックパルスをカウントするカウント手順と、
 前記カウント手順のカウント値を基に出力デジタル信号を出力する出力手順を
 有することを特徴とする信号処理方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、信号処理回路及び信号処理方法に係り、特に、光ディスク装置にお

けるFM (Frequency Modulation) 変調信号を復調するための信号処理回路及び信号処理方法に関する。

【0002】

【従来の技術】

従来、FM変調信号を復調してFM復調信号を生成する信号処理回路は、光ディスク装置等の再生系に設けられている。

図4に、従来の一例である信号処理回路のブロック図を示す。

図4において、信号処理回路10は、両エッジ検出回路11、カウンタ12、ラッチ回路13、デジタルLPF回路14で構成される。

【0003】

両エッジ検出回路11は、端子15と接続され、端子15からFM変調信号が送られる。このFM変調信号のレベルがゼロクロスレベルより大きければHigh、小さければLowとなるFMパルス信号が両エッジ検出回路11で生成される。また、両エッジ検出回路11では、生成されたFMパルス信号の立ち上がりエッジまたは立ち下がりエッジが検出されることによって両エッジ信号18が生成される。この両エッジ信号18はカウンタ12とラッチ回路13とデジタルLPF14に送られる。

【0004】

カウンタ12は、端子16と接続され、この端子16からクロックパルスが供給されている。カウンタ12は両エッジ信号18が送られた場合、両エッジ信号18によりリセットされ、リセット信号を基に、クロックパルスをカウントする。

ラッチ回路13は、両エッジ検出回路11からの両エッジ信号18に基づいてカウンタ値19をラッチする。ここでのカウント値19は、両エッジ検出回路11でのFM変調信号立ち上がりエッジ検出から立ち下がりエッジ検出までのクロックパルス数あるいはFM変調信号立ち下がりエッジ検出から立ち上がりエッジ検出までのクロックパルス数に相当し、Q1～Qnが出力される。

【0005】

デジタルLPF14は、復調フィルタであり、高域成分を除去して端子17よ

りFM復調信号を出力する。このデジタルLPF14によって、両エッジ検出回路11からの両エッジ信号18と、ラッチ回路13でラッチしたカウント値20に基づいてFM変調信号を復調する。

このように、FM変調信号は、FM変調信号から生成されたFMパルス信号から両エッジ信号が検出され、この両エッジ信号を基にカウンタでクロック数をカウントし、このカウント値がFM復調信号に復調される。

【0006】

図5に、従来の理想の信号処理回路でのタイミングチャートを示す。

図5において、FMパルス信号と両エッジ信号とカウント値のタイミングについて示している。

先ず、FMパルス信号と両エッジ信号については、FMパルス信号がLowからHigh、またはHighからLowに変化する瞬間に両エッジ信号がHighになる。この両エッジ信号のHighの間隔毎でのクロック数をカウントした結果は、両エッジ信号の下に示されるカウント値のようになる。両エッジ信号のHighによってカウント値がクリアにされ、そのHighの時点でのクロック数をカウントする。カウント数はN1、N2、N3、N4となる。

【0007】

このように、通常はFM変調信号に応じた信号やカウント値が得られ、正確なFM復調信号を得るはずである。

しかし、実際のFM変調信号はノイズの発生により正常な信号を得ることができない。

図6は、実際のFM変調信号とゼロクロスレベルの拡大図を示す。

【0008】

図6において、チャタリング等のノイズが発生した場合のFM変調信号を示しており、ノイズによって信号にバラツキが生じている。特に、図4の両エッジ検出回路11で両エッジ検出を行う基準となるゼロクロスレベルを拡大した場合、このゼロクロスレベルにおいてもノイズによってバラツキが生じているため、エッジの検出が適確に行われない。

【0009】

図 7 に、実際の信号処理回路でのタイミングチャートを示す。

図 7 において、実際のチャタリング等のノイズが発生した場合の FM パルス信号と、両エッジ信号、クロックパルス (CLK)、カウント値を示している。

FM パルス信号は立ち上がり、立ち下がりがノイズのバラツキにより複数発生する。それに伴ない、両エッジ信号は、FM パルス信号で複数発生した立ち上がり立ち下がりによって、複数のエッジが検出される。この時、両エッジが複数あるため、FM パルス信号の周期を決定することができず、クロックパルスも正確に決定することができない。このクロックパルスにより、カウント値も正確に得ることができない。

【0 0 1 0】

従って、実際の FM 変調信号を信号処理回路で復調する場合、チャタリングの発生により正確な FM 復調信号を得ることができなかった。

そこで、チャタリングを除去し、正確な周期で復調された FM 復調信号を得るために以下に説明する方法を用いていた。

図 8 に、従来のチャタリングを除去するためのタイミングチャートを示す。

【0 0 1 1】

図 8 において、FM パルス信号とチャタリング除去後 FM パルス信号と両エッジ信号を示している。

FM 変調信号に発生したチャタリングは両エッジ検出回路 1 1 で監視され、チャタリングが除去された FM パルス信号が生成される。チャタリング除去後 FM パルス信号は、例えば、タイミング t_1 でチャタリングが発生した場合、チャタリングがなくなるタイミング t_2 まで立ち上がりエッジは確定されない。その後、FM パルス信号が同一レベルで、一定期間 T で継続されると、そのタイミング t_3 で FM パルス信号は立ち上がりエッジ検出を確定する。この時、チャタリング除去後 FM パルス信号が立ち上がりエッジ検出を確定するまでの期間は $T \times$ である。

【0 0 1 2】

次に、タイミング t_4 でチャタリングが発生した場合、チャタリングがなくなるタイミング t_5 まで立ち下がりエッジは確定されない。その後、FM パルス信

号が同一レベルで、一定期間 T で継続されると、そのタイミング t_6 でFMパルス信号は立ち下がリエッジ検出を確定する。この時、チャタリング除去後FMパルス信号が立ち下がリエッジ検出を確定するまでの期間は T_y である。

【0013】

一方、FMパルス信号にチャタリングが発生しないタイミング $t_7 \sim t_8$ 、タイミング $t_9 \sim t_{10}$ では、各々一定期間 T を遅延し、立ち上がり、立ち下がりのエッジ検出を確定する。

このように、チャタリング除去後FMパルス信号は、FMパルス信号が一定期間同一のレベルに達した時に立ち上がり、立ち下がりのエッジ検出を確定する方法により生成される。この方法において、チャタリングが発生した場合、エッジ検出を確定するまでの期間である遅延量は、チャタリングがなくなるまでの期間と一定の期間との合計であり、チャタリングが発生しない場合、一定期間のみが遅延量となる。

【0014】

【発明が解決しようとする課題】

上記のように、実際の信号にはノイズが存在し、この信号の立ち上がり、立ち下がりのエッジ検出の発生する周期が一定とならず、正確な復調が行えない。

また、ノイズを除去するために、ノイズが発生している期間及び一定期間を遅延させ、エッジ検出を確定する場合、ノイズの存在する時と存在しない時とではエッジを検出する時の遅延量が異なり、信号の周期が変化してしまう。それにより、カウンタ値が異常値になり、それに伴ないラッチ回路に保持される値も正常値に対し増減してしまう。その結果、正確な信号を得ることができない。

【0015】

よって、本発明は上記の問題点を解決し、入力パルス信号を正確な周期で復調処理することのできる信号処理回路及び信号処理方法を提供することを目的とする。

【0016】

【課題を解決するための手段】

請求項1に記載の発明は、入力パルス信号に応じたデジタル信号を生成する信

号処理回路において、入力パルス信号のうち少なくとも一つのパルスを含む所定の期間に、いずれか一方の極性でクロックパルスを出力するクロックパルス出力手段と、クロックパルスのカウントするカウント手段と、カウント手段のカウント値を基に出力デジタル信号を出力する出力手段とを有することを特徴とする。

【0017】

請求項1に記載の発明によれば、入力パルス信号のうち少なくとも一つのパルスを含む所定の期間に、いずれか一方の極性でクロックパルスを出力するクロックパルス出力手段と、クロックパルスのカウントするカウント手段と、カウント手段のカウント値を基に出力デジタル信号を出力する出力手段とを有することにより、クロックパルスのカウントする対象となるパルス信号を複数有することができ、複数のパルス信号のカウント値を得ることができる。これらの複数のパルス信号のカウント値を基に、より正確な出力デジタル信号を出力することができる。

【0018】

請求項2に記載の発明は、クロックパルス出力手段が入力パルス信号が正極性のときにクロックパルスを出力する第一のクロックパルス出力手段と、入力パルス信号が負極性のときにクロックパルスを出力する第二のクロックパルス出力手段とを有し、カウント手段は、第一のクロックパルス出力手段からのクロックパルスのカウントする第一のカウント手段と、第二のクロックパルス出力手段からのクロックパルスのカウントする第二のカウント手段とを有することを特徴とする。

【0019】

請求項2に記載の発明によれば、クロックパルス出力手段が第一のクロックパルス出力手段と、第二のクロックパルス出力手段とを有し、カウント手段は、第一のカウント手段と、第二のカウント手段とを有することにより、より精密な信号処理を行うことができる。

請求項3に記載の発明は、第一のカウント手段が所定のカウント値で第一のタイミング信号を出力し、第二のカウント手段は、所定のカウント値で第二のタイミング信号を出力し、出力手段は、第二のタイミング信号で第一カウント手段の

第一のカウンタ値をラッチする第一のラッチ手段と、第一のタイミング信号で第二カウンタ手段の第二のカウンタ値をラッチする第二のラッチ手段とを有することを特徴とする。

【0020】

請求項3に記載の発明によれば、第一と第二のカウンタ手段が第一と第二のタイミング信号を出力し、出力手段が、第二のタイミング信号で第一カウンタ手段の第一のカウンタ値をラッチする第一のラッチ手段と、第一のタイミング信号で第二のカウンタ手段の第二のカウンタ値をラッチする第二のラッチ手段とを有することで、より精密な入力パルス信号の処理を行うことができ、出力される信号の精度を向上させることができる。

【0021】

請求項4に記載の発明は、出力手段が、第一のタイミング信号を遅延する第一の遅延手段と、第二のタイミング信号を遅延する第二の遅延手段とを有し、第一のカウンタ手段は第二の遅延手段の出力信号によってリセットされ、第二のカウンタ手段は第一の遅延手段の出力信号によってリセットされることを特徴とする。

【0022】

請求項4に記載の発明によれば、出力手段が第一のタイミング信号を遅延する第一の遅延手段と、第二のタイミング信号を遅延する第二の遅延手段とを有し、第一のカウンタ手段は第二の遅延手段の出力信号によってリセットされ、第二のカウンタ手段は第一の遅延手段の出力信号によってリセットされることにより、より精密な入力パルス信号の処理を行うことができ、出力される信号の精度を向上させることができる。

【0023】

請求項5に記載の発明は、出力手段が、第一の遅延手段の出力信号でセットされ、第二の遅延手段の出力信号でリセットされるフリップフロップと、フリップフロップの出力に応じて第一のラッチ手段にラッチされた第一のカウンタ値と、フリップフロップの出力に応じて第二のラッチ手段にラッチされた第二のカウンタ値とを切り替える切り替え手段を有することを特徴とする。

【0024】

請求項5に記載の発明によれば、出力手段が、第一の遅延手段の出力信号でセットされ、第二の遅延手段の出力信号でリセットされるフリップフロップと、フリップフロップの出力に応じて第一のラッチ手段にラッチされた第一のカウント値と、フリップフロップの出力に応じて第二のラッチ手段にラッチされた第二のカウント値とを切り替える切り替え手段を有することにより、より精密な入力パルス信号の処理を行うことができ、出力される信号の精度を向上させることができる。

【0025】

請求項6に記載の発明は、出力手段がデジタルローパスフィルタを含むことを特徴とする。

請求項6に記載の発明によれば、デジタルローパスフィルタを用いることにより、処理された信号を基に、より正確な出力デジタル信号を出力することができる。

【0026】

請求項7に記載の発明は、入力パルス信号に応じたデジタル信号を生成する信号処理方法において、入力パルス信号のうち少なくとも一つのパルスを含む所定の期間に、いずれか一方の極性でクロックパルスを出力するクロックパルス出力手順と、クロックパルスをカウントするカウント手順と、カウント手順のカウント値を基に出力デジタル信号を出力する出力手順を有することを特徴とする。

【0027】

請求項7に記載の発明によれば、入力パルス信号のうち少なくとも一つのパルスを含む所定の期間に、いずれか一方の極性でクロックパルスを出力するクロックパルス出力手順と、クロックパルスをカウントするカウント手順と、カウント手順のカウント値を基に出力デジタル信号を出力する出力手順とを有することにより、クロックパルスをカウントする対象となるパルス信号を複数有することができ、複数のパルス信号のカウント値を得ることができる。これらの複数のパルス信号のカウント値を基に、より正確な出力デジタル信号を出力することができる。

【0028】

【発明の実施の形態】

図1は、本発明の一実施例の光ディスク装置のブロック図である。

図1において、光ディスク装置100は、ディスク40、光学系41、スピンドルモータ42、スレッドモータ43、レーザドライバ44、フロントモニタ45、ALPC (Absolute Time In Pregroove) 46、記憶補償回路47、ウォブル信号処理部48、RFアンプ49、フォーカス／トラッキングサーボ回路50、送りサーボ回路51、スピンドルサーボ回路52、CDエンコード／デコード回路53、D/Aコンバータ54、オーディオアンプ55、RAM56、58、CD-ROMエンコード／デコード回路57、インターフェース／バッファコントローラ59、CPU60、ホストコンピュータ61等で構成されている。

【0029】

本発明の復調処理を行う信号処理回路はCDエンコード／デコード回路53に設けられている。復調処理は再生系での処理であり、この復調処理に関わる再生系は、主に光学系41、RFアンプ49、CDエンコード／デコード回路53等で構成される。これらの回路によりFM変調信号が復調され、FM復調信号が生成される。一方、記録系は、光学系41、レーザドライバ44、フロントモニタ45、ALPC46、記憶補償回路47、ウォブル信号処理部48等で構成される。これらの回路により、信号が光ディスク等の記憶媒体に記録される。

【0030】

光学系41は、ディスク40の信号を読み取る光学ヘッドを示し、対物レンズ、アクチュエータ、1/4波長板、コリメータレンズ、ビームスプリッタ、発光素子（レーザダイオード）、受光素子（光検出器）等から構成される。この光学系41は、スレッドモータ43、フォーカス／トラッキングサーボ回路50によって制御される。

【0031】

スレッドモータ43は、送りサーボ回路51の駆動制御により光ピックアップをディスク半径方向に移動させる。フォーカス／トラッキングサーボ回路50は

、フォーカスサーボとトラッキングサーボの制御を行う。

また、ディスク40は、CD-R（追記型ディスク）、CD-RW（書換型ディスク）等であり、スピンドルモータ42によって制御される。

【0032】

スピンドルモータ42は、スピンドルサーボ回路52によってディスクを所定の回転数で回転するように制御されている。

上記、フォーカス／トラッキングサーボ回路50、送りサーボ回路51、スピンドルサーボ回路52は、CPU60と、RFアンプ49からの信号を基に、制御が行われる。RFアンプ49は、再生信号を増幅するヘッドアンプである。ここに示すRFアンプ49は、マトリクスアンプを含むもので、主信号の他に、各種サーボ信号を取り出して各サーボ制御回路に出力する。

【0033】

これらの制御回路により所望のディスク40の位置が決定され、光学系41からディスク40の信号がRFアンプ49に送られる。このRFアンプ49から、FM変調信号がCDエンコード／デコード回路53に送られる。CDエンコード／デコード回路53は、CIRC（Cross Interleaved Reed-solomon Code）のエンコード／デコード、EFM（Eight to Fourteen Modulation）変調／復調、及び同期検出等の処理を行う。また、CDエンコード／デコード回路53は、CPU60からクロックパルスが送られ、復調の処理が行われる。復調された信号は、CD-ROMエンコード／デコード回路57に送られる。このCD-ROMエンコード／デコード回路57では、CD-ROM固有のECC（Error Correction Coding）のエンコード／デコード、ヘッダの検出等の処理を行う。その処理を行うためにRAM56を用いてデータを一時的に格納する。処理後のデータはインターフェース／バッファコントローラ59に送られる。このインターフェース／バッファコントローラ59では、ホストコンピュータとのデータの送受、データバッファの制御を行う。その処理を行うためにRAM58を用いてデータを一時的に格納する。

【0034】

上記CD-ROMエンコード／デコード回路57、インターフェース／バッファコントローラ59もCPU60によって制御される。インターフェース／バッファコントローラ59での処理後、処理結果がホストコンピュータ61に送られ、データに対応した処理が行われる。

一方、音声を出力する場合、CDエンコード／デコード回路53からの復調信号がD/Aコンバータ54に送られ、デジタルからアナログへ変換される。このアナログ変換された信号がオーディオアンプ55により増幅され、このオーディオ信号が出力される。

【0035】

このように、光ディスク装置100は再生・記録処理が行われ、本発明の信号処理回路は、再生系でのCDエンコード／デコード回路53上に設けられ、FM変調信号を復調する処理が行われる。

図2に、本発明の一実施例の信号処理回路のブロック図を示す。

図2において、CDエンコード／デコード回路53に設けられた信号処理回路30は、正極性ゲート71、負極正ゲート72、カウンタ回路（正極性）73、カウンタ回路（負極性）74、ラッチ回路75、76、切り替え回路78、デジタルLPF79、R-Sフリップフロップ77、遅延回路80、81、82、ORゲート83で構成される。

【0036】

正極性ゲート71、負極性ゲート72は、FM変調信号端子84とクロック端子85と接続されている。FM変調信号端子84からゼロクロスレベル70、クロック端子85からクロックパルス信号が送られる。

正極性ゲート71は、ゼロクロスレベルに対してFM変調信号レベルが大きい時、即ち、FMパルス信号がハイレベルの時、クロックパルスをカウンタ回路73に送る。負極性ゲート72は、ゼロクロスレベルに対してFM変調信号レベルが小さい時、即ち、FMパルス信号がローレベルの時、クロックパルスをカウンタ回路74に送る。

【0037】

カウンタ回路73は、プリセット入力とキャリー出力とを備えており、正極性

ゲート 7 1 から供給されるクロックパルスをカウントする。

プリセット入力は、入力された信号によりカウンタ回路 7 3 がリセットされる。

キャリー出力は、カウントが一定値になるとカウンタ回路 7 3 から出力され、遅延回路 8 1、ラッチ回路 7 6、負極性ゲート 7 2 に供給される。

【0 0 3 8】

遅延回路 8 1 は、カウンタ 7 3 のキャリー出力を所定時間遅延し、カウンタ回路 7 4 のプリセット入力、R-S フリップフロップ 7 7 のセット、OR ゲート 8 3 に供給する。

ラッチ回路 7 5 は、カウンタ回路 7 3 のカウント値 $Q_1 \sim Q_n$ を、カウンタ回路 7 4 のキャリー出力によってラッチする。ラッチしたカウント値は切り替え回路 7 8 の B 入力に送られる。

【0 0 3 9】

カウンタ回路 7 4 は、プリセット入力とキャリー出力とを備えており、負極性ゲート 7 2 から供給されるクロックパルスをカウントする。

プリセット入力は、入力された信号によりカウンタ回路 7 4 がリセットされる。

キャリー出力は、カウントが一定値になるとカウンタ回路 7 4 から出力され、遅延回路 8 0、ラッチ回路 7 5、正極性ゲート 7 1 に供給される。

【0 0 4 0】

遅延回路 8 0 は、カウンタ回路 7 4 のキャリー出力を所定時間遅延し、カウンタ回路 7 3 のプリセット入力、R-S フリップフロップ 7 7 のリセット、OR ゲート 8 3 に供給する。

ラッチ回路 7 6 は、カウンタ回路 7 4 のカウント値 $Q_1 \sim Q_n$ を、カウンタ回路 7 3 のキャリー出力によってラッチする。ラッチしたカウント値は切り替え回路 7 8 の入力 A に送られる。

【0 0 4 1】

切り替え回路 7 8 は、ラッチ回路 7 6、7 5 からのパルス A、B を R-S フリップフロップ 7 7 からの信号に応じて切り替える。

R-Sフリップフロップ77は、リセット・セットを有するフリップフロップであり、Q出力により切り替え回路78の切り替えを制御する。R-Sフリップフロップ77から出力されるQ出力は、切り替え回路78に送られる。

【0042】

上記のQ出力を基にパルスA、Bが切り換えられる。切り換えられて出力されたパルスA又はパルスBはデジタルLPF79に供給され、復調されたFM復調信号が端子86から出力される。

デジタルLPF79は、ORゲート83からの出力を遅延回路82によって遅延された信号が供給される。この信号は、基準となるクロックパルスであり、この信号を基にデジタルLPF79は復調を行い、FM復調信号を出力する。

【0043】

このように、信号処理回路に正・負極性の2つのゲートを設けることで、チャタリングを除去することができ、より正確な周期で復調を行うことができる。

図3に、本発明の信号処理回路のタイミングチャートを示す。

図3において、FMパルス信号とクロックパルス(CLK)、正極性ゲートと負極性ゲート、正極性カウント値と負極性カウント値、キャリーパルス(正)とキャリーパルス(負)、遅延パルス(正)と遅延パルス(負)、R-Sフリップフロップ、出力カウント値、ORゲート出力、遅延パルス(OR)が示されている。

【0044】

FMパルス信号とクロックパルスの供給される正極性ゲートと負極性ゲートにおいて、正極性ゲートはFMパルス信号がローレベルを維持している状態の時はクローズになり、この時負極性ゲートはオープンになっている。

時間 t_1 において、FMパルス信号がハイレベルに変化すると、正極性ゲートがオープンになり、カウンタ回路73へのクロックパルスの供給を開始する。正極性ゲートは、FMパルス信号がハイレベルの時のみクロックパルスを供給する。正極性側のカウンタ回路73は、FMパルス信号がハイレベルの時に供給されるクロックパルス信号をカウントする。正極性カウント値にそのカウント値を示している。

【 0 0 4 5 】

時間 $t_1 \sim t_2$ はチャタリングが発生し、正極性ゲート 7 1 からのパルス供給が断続的になるのでカウント値は緩やかに増加する。

カウンタ回路 7 3 に、一定期間 T_c にクロックパルス信号が供給された後、カウンタ回路 7 3 はキャリーパルス（正）を遅延回路 8 1、ラッチ回路 7 6、負極性ゲート 7 2 に供給する。この時、時間は t_3 である。また、ここで期間 T_c は、カウントを開始してからキャリーパルス（正）が出力されるまでの時間であり、カウント値によって決定される。

【 0 0 4 6 】

時間 t_3 において、カウンタ回路 7 3 からのキャリーパルス（正）を基に、ラッチ回路 7 6 がカウンタ回路 7 4 のカウント値をラッチする。その後、カウンタ回路 7 3 からのキャリーパルス（正）は遅延回路 8 1 により遅延され、遅延された遅延パルス（正）はカウンタ回路 7 4 のプリセット入力に供給される。その後、カウンタ回路 7 4 のカウント値はリセットされる。遅延回路 8 1 による遅延パルス（正）は、ラッチ時間を考慮して設定される。また、負極性ゲート 7 2 がクローズとなる。

【 0 0 4 7 】

時間 $t_2 \sim t_4$ の間は、FMパルス信号のハイレベル状態が維持されるため、正極性カウント値は一定の増加を示す。

時間 t_4 において、FMパルス信号がローレベルに変化すると、再び負極性ゲート 7 2 がオープンとなり、FMパルス信号がローレベルの時のみカウンタ回路 7 4 にクロックパルスが供給される。カウンタ回路 7 4 は、クロックパルスのカウントが開始される。正極性ゲート 7 1 は、チャタリングが無くなる時間 t_5 までオープン状態が継続し、カウンタ回路 7 3 でカウントが続けられる。

【 0 0 4 8 】

時間 t_5 において、FMパルス信号が完全にローレベルになると、負極性ゲート 7 1 からのクロックパルスがカウンタ回路 7 4 に供給される。

時間 $t_4 \sim t_5$ の間はチャタリングが発生し、正極性ゲート 7 1 と負極性ゲート 7 2 から供給されるクロックパルスが断続的になる。従って、正極性カウント

値と負極性カウント値は、緩やかに増加する。

【0049】

また、時間 $t_5 \sim t_6$ の期間は、FMパルス信号がローレベルに維持されるため、正極性カウント値は変化しない。

カウンタ回路 74 に、クロックパルス信号が供給された期間 T_c 後に、カウンタ回路 74 はキャリーパルス（負）をラッチ回路 75、正極性ゲート 71、遅延回路 80 に供給する。この時、時間は t_6 である。

【0050】

時間 t_6 の時、カウンタ回路 74 からのキャリーパルス（負）を基に、ラッチ回路 75 がカウンタ回路 73 のカウント値をラッチする。その後、カウンタ回路 74 からのキャリーパルス（負）が遅延回路 80 により遅延される。同時に、正極性ゲート 71 がクローズとなる。

また、遅延回路 80 によって遅延されたキャリーパルス（負）は、カウンタ回路 73 のプリセット入力に供給される。その後、カウンタ回路 73 のカウント値がリセットされる。

【0051】

時間 $t_6 \sim t_7$ の間は、FMパルス信号のローレベル状態が維持されるので、負極性カウント値は一定の増加を示す。

また、R-Sフリップフロップ 77 は、カウンタ回路 73 からのキャリーパルス（正）が遅延された遅延パルス（正）によりセットされる。また、カウンタ回路 74 からのキャリーパルス（負）が遅延された遅延パルス（負）によりリセットされる。この R-Sフリップフロップの Q 出力を基に、ラッチ回路 76、75 からのパルス A、B が切り換え回路 78 で切り替えられる。

【0052】

切り換え回路 78 は、Q 出力がハイレベルの時に A 入力を出力するように切り換え、ローレベルの時に B 入力を出力するように切り替える。即ち、カウンタ回路 73 のキャリーパルス（正）によりパルス A 入出力が切り換えられ、カウンタ回路 74 のキャリーパルス（負）によりパルス B 入出力が切り換えられる。これらのキャリーパルスを OR ゲート 83 を介して出力される基準となるクロックパ

ルスは、遅延回路 8 2 によって遅延される。この遅延回路 8 2 は切り換え回路 7 8 による出力までにかかる切り換え時間を考慮して決定される。

【0 0 5 3】

切り換え回路 7 8 からの出力データと遅延回路 8 2 で遅延されたクロックパルスは、デジタル L P F 7 9 に送られる。デジタル L P F 7 9 に送られたデータは、遅延されたクロックパルスに基づいて復調される。

このようにして、チャタリングが発生した FM パルス信号において、期間 T_c 、即ち、各極性のカウンタ値によって正・負極性ゲートが切り替えられることにより、より正確な周期のカウンタ値を得ることができる。従って、適確な復調処理を行うことができる。

【0 0 5 4】

一方、時間 $t_7 \sim t_{10}$ のように、チャタリングが発生しない場合、FM パルス信号の立ち上がり、立ち下がり発生から期間 T_c の経過後に、負・正極性のゲートを切り換える。その後、上記と同様に、各カウンタ回路と各ラッチ回路を制御し、復調処理を行う。

このように、チャタリングが発生しない時にも期間 T_c 、即ち、各極性のカウンタ値によって正・負極性ゲートが切り替えられることにより、より正確な周期のカウンタ値を得ることができる。従って、適確な復調処理を行うことができる。

【0 0 5 5】

【発明の効果】

本発明の信号処理回路によれば、入力パルス信号の正・負極性のクロックパルスを各々独立したカウンタでカウントし、それらのカウンタ値を用いることにより正確に信号処理を行うことができる。また、実際の入力信号に生じるノイズに影響されることなく、より正確なカウンタ値を求めることができる。よって、正確なデジタル信号を生成することが可能となる。

【0 0 5 6】

また、クロックパルスをカウントするカウンタ手段がタイミング信号を生成し、このタイミング信号を基に入力パルス信号を制御することにより、パルスの周

期を一定にし、信号処理の安定化を図ることができる。

【図面の簡単な説明】

【図 1】

本発明の一実施例の光ディスク装置のブロック図である。

【図 2】

本発明の一実施例の信号処理回路のブロック図である。

【図 3】

本発明の信号処理回路のタイミングチャートを示す。

【図 4】

従来の一例である信号処理回路のブロック図を示す。

【図 5】

従来の実験の信号処理回路でのタイミングチャートを示す。

【図 6】

実際の FM 変調信号とゼロクロスレベルの拡大図を示す。

【図 7】

実際の信号処理回路でのタイミングチャートを示す。

【図 8】

従来のチャタリングを除去するためのタイミングチャートを示す。

【符号の説明】

- 1 0、3 0 信号処理回路
- 1 1 両エッジ検出回路
- 1 2 カウンタ
- 1 3 ラッチ
- 1 4 デジタル L P F
- 1 5 FM 復調信号端子
- 1 6 クロックパルス端子
- 1 7 FM 復調信号端子
- 1 8 両エッジ信号
- 1 9、2 0 カウント値

- 4 0 ディスク
- 4 1 光学系
- 4 2 スピンドルモータ
- 4 3 スレッドモータ
- 4 4 レーザドライバ
- 4 5 フロントモニタ
- 4 6 A L P C
- 4 7 記憶補償回路
- 4 8 ウォブル信号処理部
- 4 9 R F アンプ
- 5 0 フォーカス／トラッキングサーボ回路
- 5 1 送りサーボ回路
- 5 2 スピンドルサーボ回路
- 5 3 C D エンコード／デコード回路
- 5 4 D / A コンバータ
- 5 5 オーディオアンプ
- 5 6、5 8 R A M
- 5 7 C D - R O M エンコード／デコード回路
- 5 9 インターフェース／バッファコントローラ
- 6 0 C P U
- 6 1 ホストコンピュータ
- 7 1 正極性ゲート
- 7 2 負極正ゲート
- 7 3 カウンタ回路（正極性）
- 7 4 カウンタ回路（負極性）
- 7 5、7 6 ラッチ回路
- 7 7 R - S フリップフロップ
- 7 8 切り替え回路
- 7 9 デジタル L P F

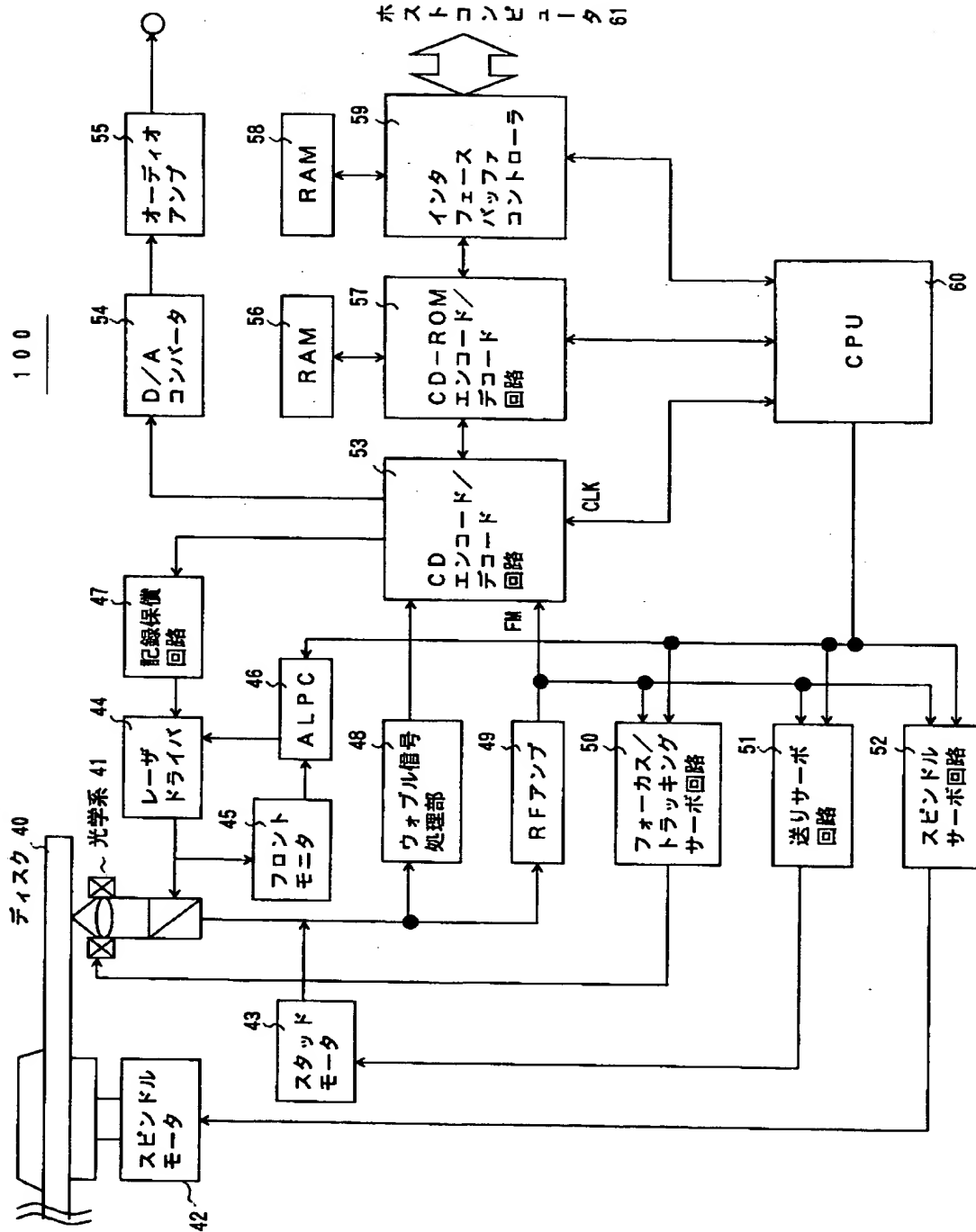
80、81、82 遅延回路

83 ORゲート

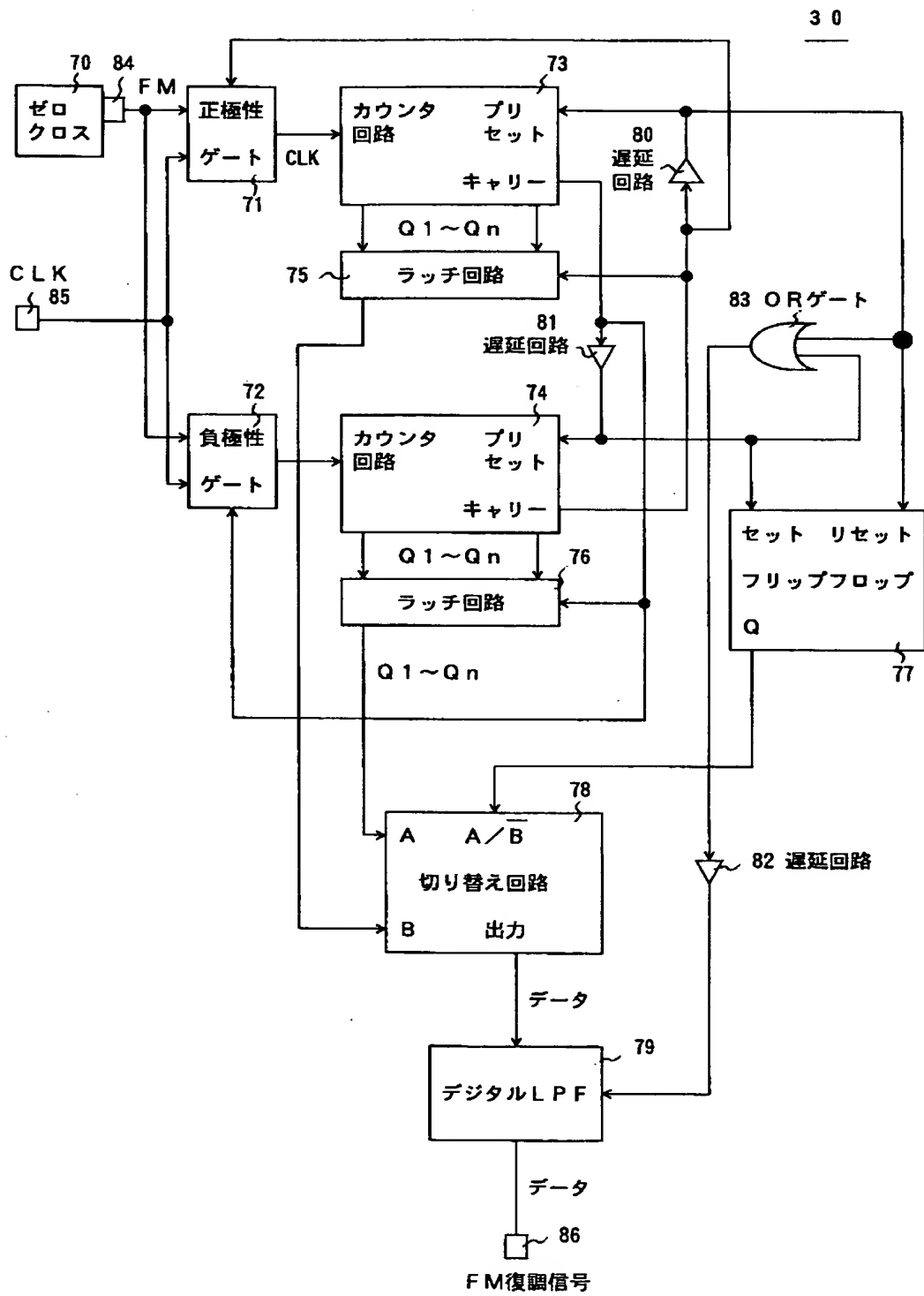
100 光ディスク装置

【書類名】 図面

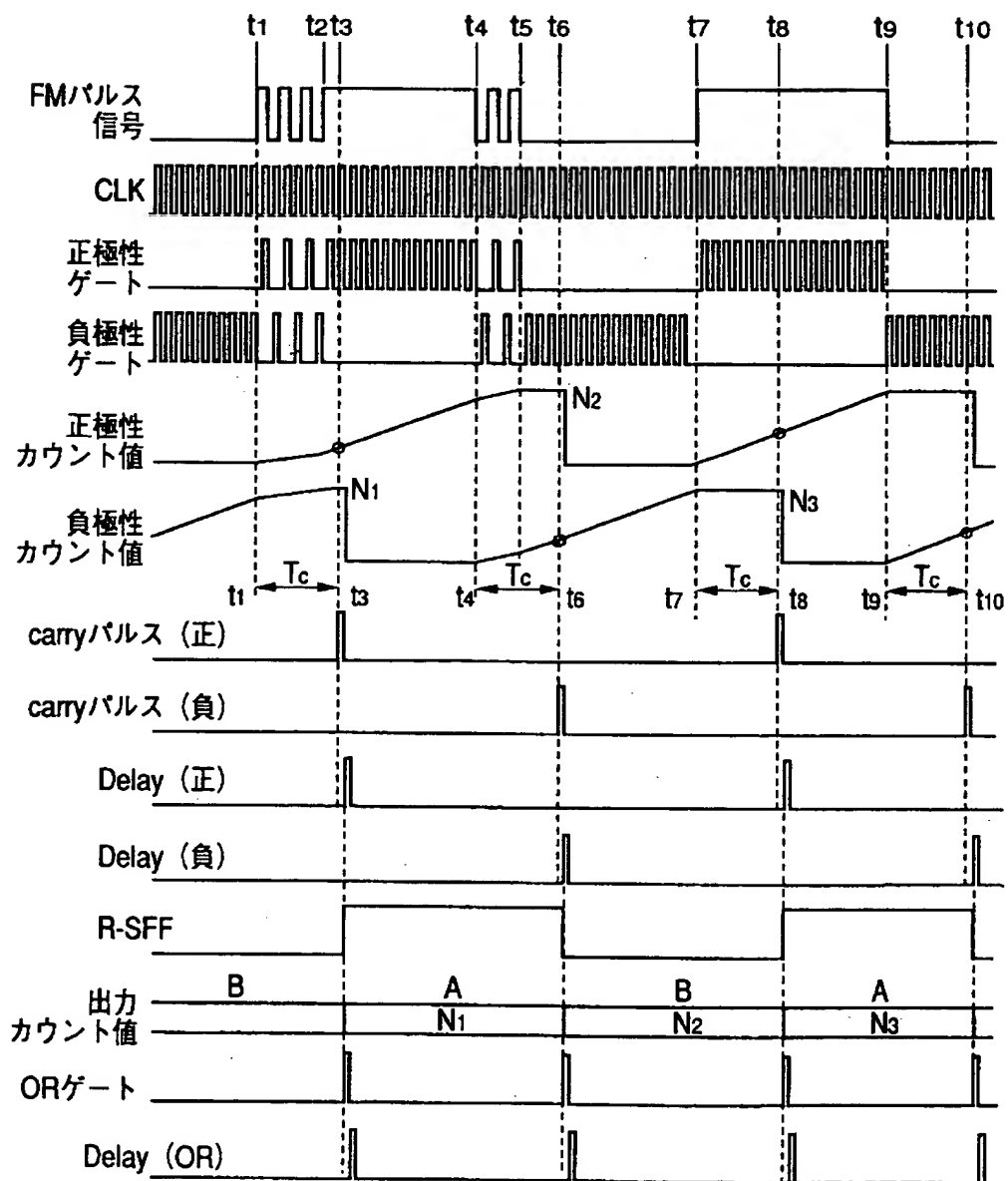
【図 1】



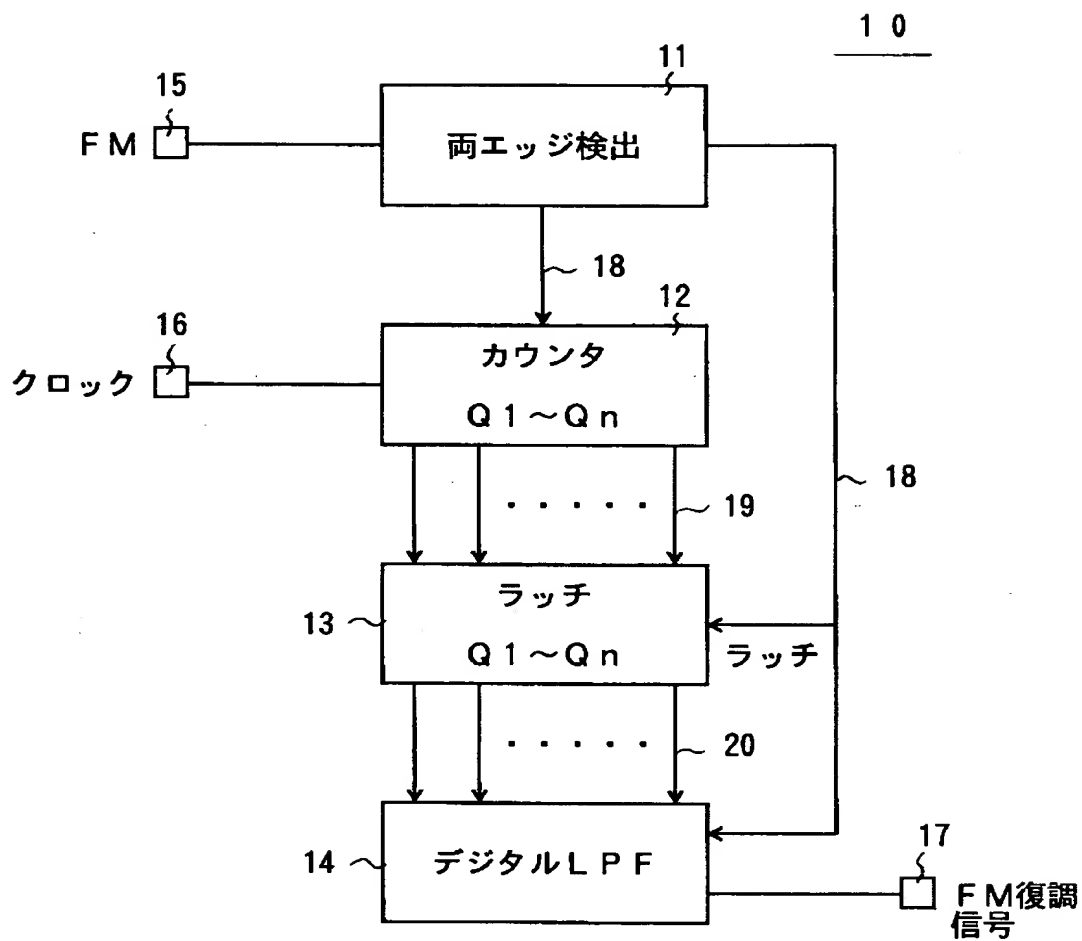
【図 2】



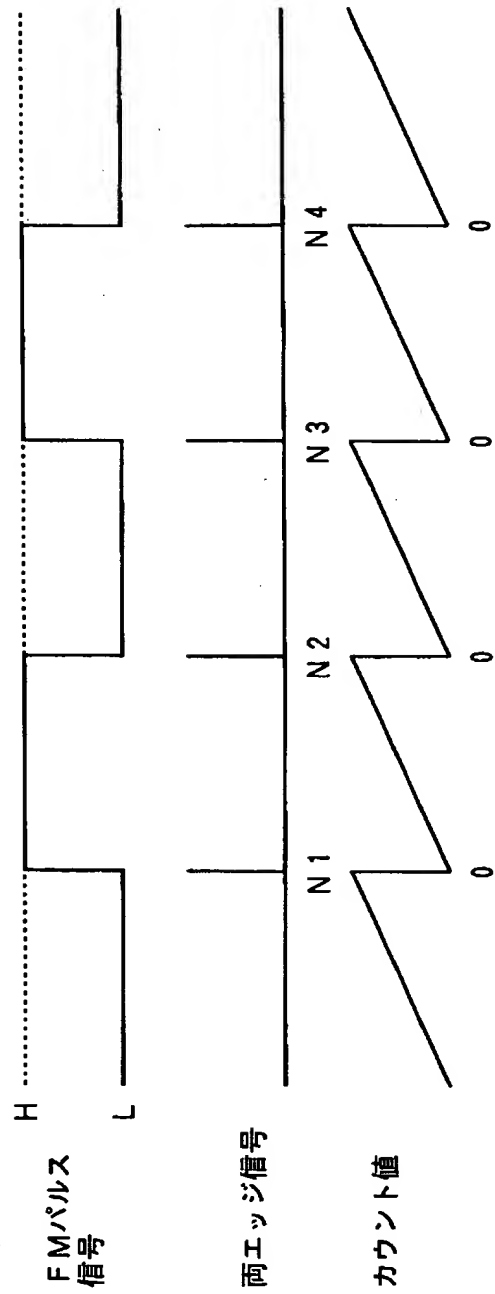
【図 3】



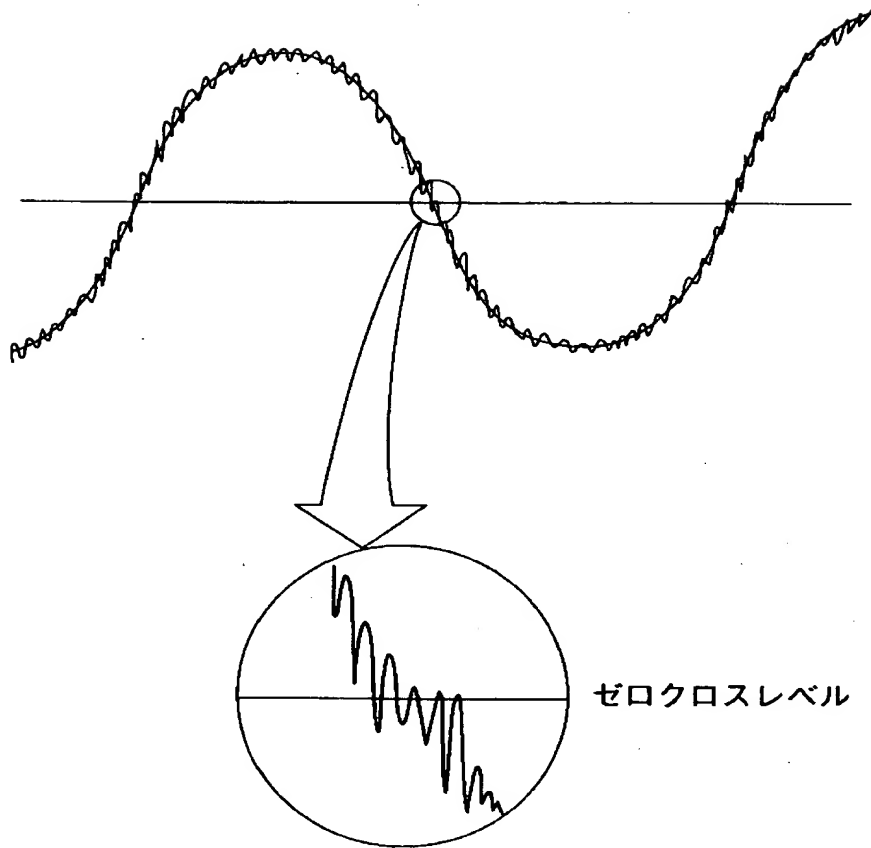
【図 4】



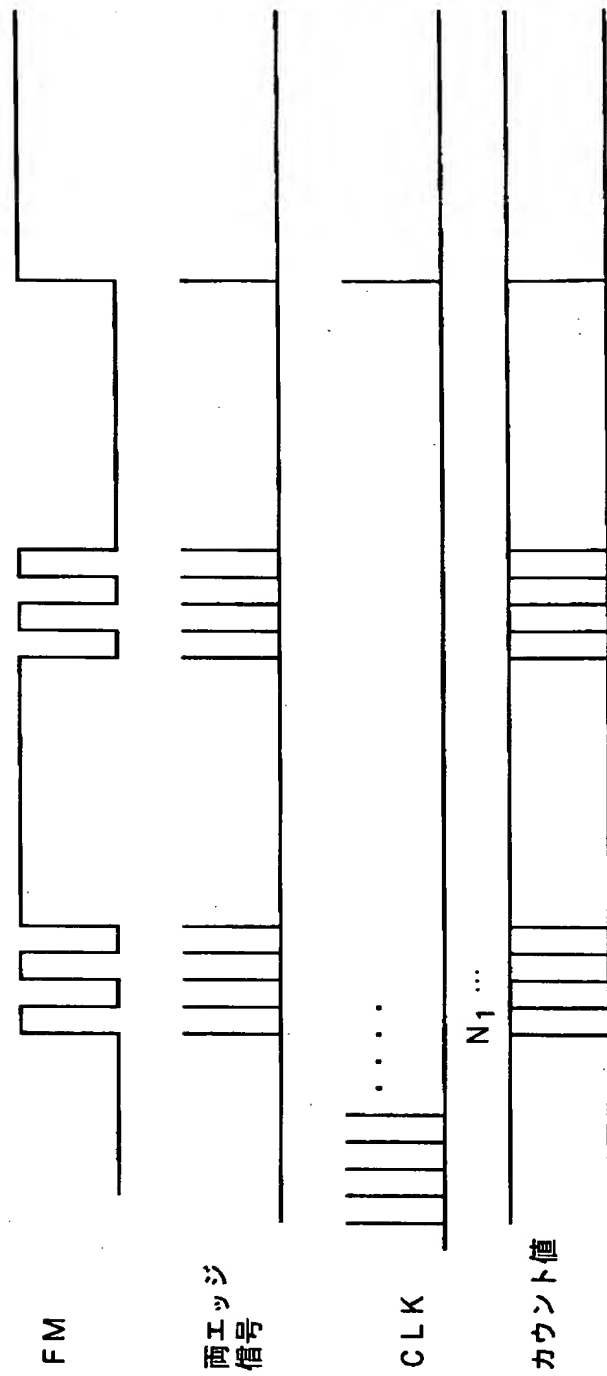
【図 5】



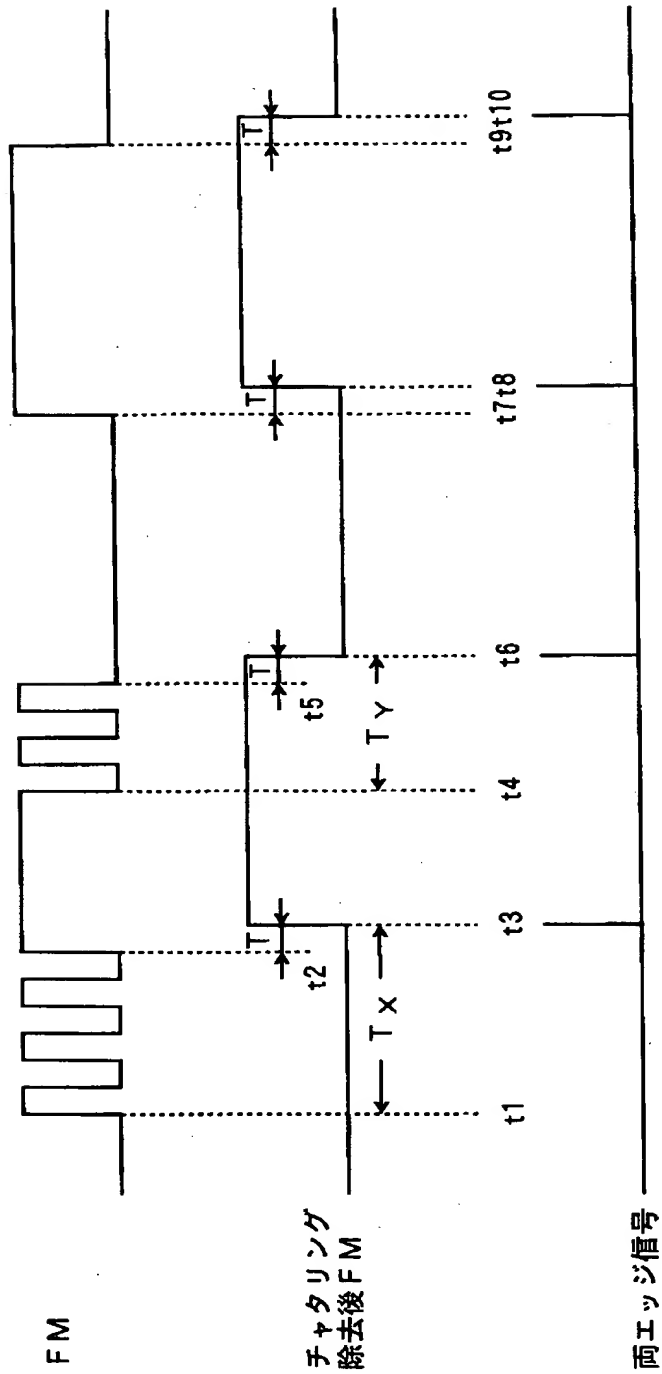
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 本発明は、パルス信号を正確な周期で復調処理することのできる信号処理回路及び信号処理方法を提供することを目的とする。

【解決手段】 C D エンコード／デコード回路 5 3 に設けられた信号処理回路 3 0 は、正極性ゲート 7 1、負極正ゲート 7 2、カウンタ回路（正極性） 7 3、カウンタ回路（負極性） 7 4、ラッチ回路 7 5、7 6、切り替え回路 7 8、デジタル L P F 7 9、R - S フリップフロップ 7 7、遅延回路 8 0、8 1、8 2、O R ゲート 8 3 で構成される。このように、信号処理回路に正・負極性の 2 つのゲートを設けることで、チャタリングを除去することができ、より正確な周期で復調を行うことができる。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000003676]

1. 変更年月日	1990年 8月27日
[変更理由]	新規登録
住 所	東京都武蔵野市中町3丁目7番3号
氏 名	ティアック株式会社